

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-198769

(43)Date of publication of application : 03.09.1986

(51)Int.Cl.

H01L 25/04  
H05K 1/18

(21)Application number : 60-039141

(71)Applicant : NEC CORP

(22)Date of filing : 28.02.1985

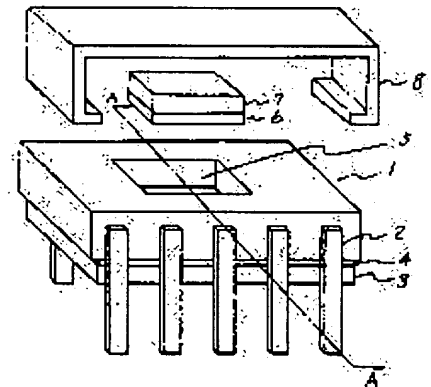
(72)Inventor : MURATA MASATO

## (54) HYBRID INTEGRATED CIRCUIT

### (57)Abstract:

**PURPOSE:** To reduce the size of the outer configuration, by arranging a chip carrier, on which a ROM is mounted, and conducting rubber in a recess in a ceramic case, fixing the chip carrier to the ceramic case itself, thereby omitting a fixed frame.

**CONSTITUTION:** As an electronic circuit substrate for a hybrid integrated circuit, a ceramic case 1, in which a ROM mounting recess 5 is formed, is used. In said case 1, electronic circuits other than the ROM are incorporated. The recess 5 is a region, in which conducting rubber 6 and a chip carrier 7, on which the ROM is mounted, are placed. The conducting rubber 6 is put beneath the chip carrier 7. The ROM and the rubber are fixed to the case 1 by a cap 8 for compressing the ROM and the conducting rubber. Outer leads 2 are taking out of the case 1. A ceramic cap 3 is connected to the case 1 by solder 4. The chip carrier function is provided in the ceramic case itself. The hybrid integrated circuit is made compact, and its price is made low.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 昭61-198769

⑬ Int.Cl.<sup>4</sup>  
H 01 L 25/04  
H 05 K 1/18

識別記号  
庁内整理番号  
7638-5F  
6736-5F

⑭ 公開 昭和61年(1986)9月3日  
審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 混成集積回路

⑯ 特 願 昭60-39141  
⑰ 出 願 昭60(1985)2月28日

⑱ 発 明 者 村 田 真 人 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称  
混成集積回路

2. 特許請求の範囲  
電子回路を内蔵しくぼみを有する電子回路用基板と、導電性ゴムと、ROMを搭載したチップキャリアと、前記チップキャリアを前記導電性ゴムを介して前記くぼみ内に圧着して前記ROMを前記電子回路に接続するキャップとを有することを特徴とする混成集積回路。

3. 発明の詳細な説明  
〔産業上の利用分野〕  
本発明は、再書き込み可能な読み出し専用メモリEPROM または読み出し専用のメモリPROM等のROMを搭載する混成集積回路に関する。  
〔従来の技術〕  
第3図は従来例を示す分解斜視図、第4図は第

3図の組立状態を示すB-B線断面図である。  
従来、EPROM PROMをチップキャリア7に搭載し、これらのROMを、他の電子回路と電気的に切り離したり、接続したりするために、ROMを固定する固定枠11をセラミックケース1に適当な接着材12により固定し、前記チップキャリア7および導電性ゴム6をセラミックケース1に搭載する。この場合チップキャリア7の下面に設けられた電極とセラミックケース1の相対する面に配置した電極との電気的接続を得るためにROM固定用キャップ8により導電性ゴムを圧着する。  
ICチップ9をAu-Siによるハードマウント法又は、Agペーストを用いたソフトマウント法によりダイボンディングし、Au線もしくはAu線等の配線用ワイヤ10によりワイヤーボンディングし、ROM以外の電子回路を構成する。ICチップ9の耐湿性の保護または、前記配線ワイヤ-10の保護は適当な外装材例えば、シリコン系樹脂、エポキシ樹脂もしくは、セラミックキャップを低融点ガラス等により封止する。

## BEST AVAILABLE COPY

特開昭61-198769 (2)

## 〔発明が解決しようとする問題点〕

従来は、固定枠11を特別に設ける必要がありコストが高いという欠点があった。また、従来の回路は、その高さが高く製品全体の外形サイズを大きくしなければならない。

本発明は、従来の固定枠11を無くしコストを安くすることを目的とする。

## 〔問題点を解決するための手段〕

本発明の混成集積回路は、電子回路を内蔵しくぼみを有する電子回路用基板と、導電性ゴムと、ROMを搭載したチップキャリアと、前記チップキャリアを前記導電性ゴムを介して前記くぼみ内に圧着して前記ROMを前記電子回路に接続するキャップとを有することを特徴とする。

## 〔実施例〕

第1図は本発明の一実施例を示す分解斜視図、第2図は第1図の組立状態を示すA-A線断面図である。ROMを搭載したチップキャリア7及び導電性ゴム6を搭載する領域を確保するくぼみ5をセラミックケース1に設ける。セラミックケー

ス1にはROM以外の電子回路が組込まれる。電子回路は一例として積層セラミック多層基板技術を用いれば、容易に形成できる。またくぼみ5も積層セラミック基板1をたとえば金型により打抜く事により容易に形成できる。さらに、ICチップ9を $Au-Si$ によるハードマウント法又は、Agペーストを用いたソフトマウント法によりダイボンディングし、 $Au$ 線もしくは $Ag$ 線等の配線用ワイヤ10によりワイヤーボンディングし、別の電子回路を構成することもできる。ICチップ9の耐湿性の保護または、前記配線ワイヤ10の保護は適当な外装たとえば、シリコン系樹脂、エポキシ系樹脂もしくは、セラミックキャップを低融点ガラス等により封止する。

第2図はセラミックキャップ3を半田4により封止した場合の一例を示す。ROMを搭載したチップキャリア7は導電性ゴム6を下に敷きROM固定用キャップ8により、セラミックケース1に固定される。この場合、導電性ゴム6が圧着されチップキャリアの下面に設けられた電極とセラミ

ックケースの相対する如く設けられた電極とを電気的に接続し、所望の電子回路を構成する。

## 〔発明の効果〕

本発明によれば、セラミックケース自体に、チップキャリアを固定する機能があるために、従来の固定枠を特別に作製する必要が無く、従って従来の回路に比べて安価にできる。また、本発明によれば、外形サイズを小さくできる。

1 2 …… ROM固定用枠接着用接着材。

代理人 弁理士 内 原 晋

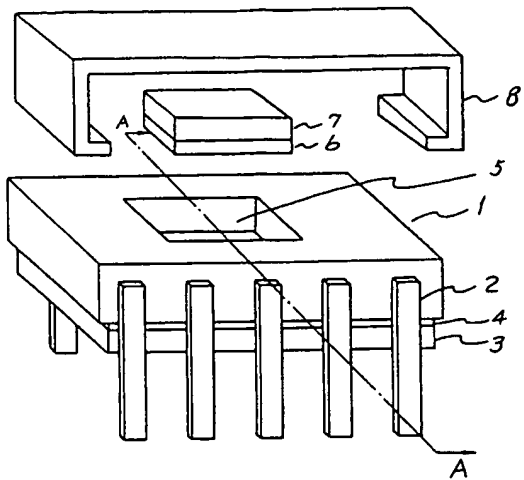


## 4. 図面の簡単な説明

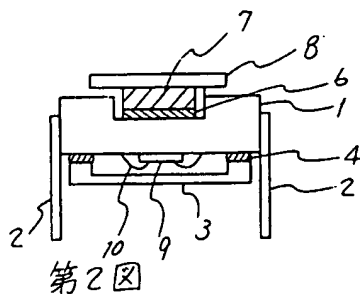
第1図は本発明の一実施例を示す分解斜視図、第2図は第1図の組立状態を示すA-A線断面図、第3図は従来例を示す分解斜視図、第4図は第3図の組立状態を示すB-B線断面図である。

1 ……セラミックケース、2 ……外部リード端子、3 ……セラミックキャップ、4 ……半田、5 ……ROM搭載用くぼみ、6 ……導電性ゴム、7 ……ROMを搭載したチップキャリア、8 ……ROM及び導電性ゴム圧着用キャップ、9 ……ICチップ、10 ……配線用ワイヤ、11 ……固定枠、

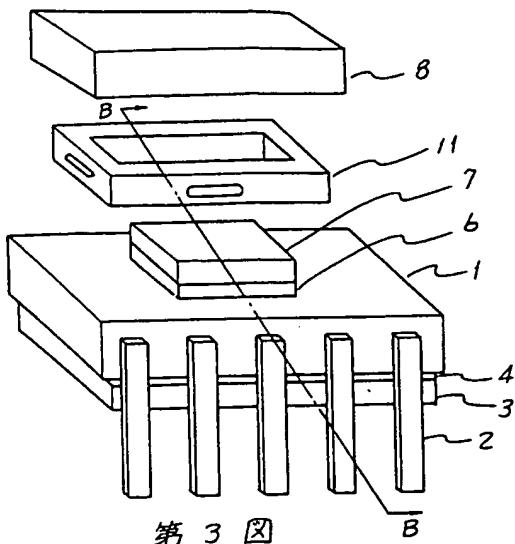
特開昭61-198769 (3)



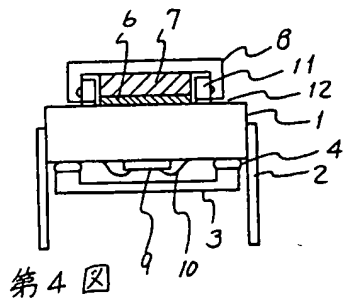
第 1 図



第 2 図



第 3 図



第 4 図